

(51) 国際特許分類
H04N 7/36

A1

(11) 国際公開番号

WO00/57650

(43) 国際公開日

2000年9月28日(28.09.00)

(21) 国際出願番号

PCT/JP00/01725

(22) 国際出願日

2000年3月21日(21.03.00)

(30) 優先権データ

特願平11/78207

1999年3月28日(23.03.99)

JP

(71) 出願人 (米国を除くすべての指定国について)

三洋電機株式会社(SANYO ELECTRIC CO., LTD.)(JP/JP)
〒570-8677 大阪府守口市京阪本通2丁目5番5号 Osaka, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

岡田茂之(OKADA, Shigeyuki)(JP/JP)
〒570-8677 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内 Osaka, (JP)

(74) 代理人

深見久郎, 外(FUKAMI, Hisao et al.)

〒530-0054 大阪府大阪市北区南森町2丁目1番29号
住友銀行南森町ビル Osaka, (JP)

(81) 指定国 AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)

添付公開書類

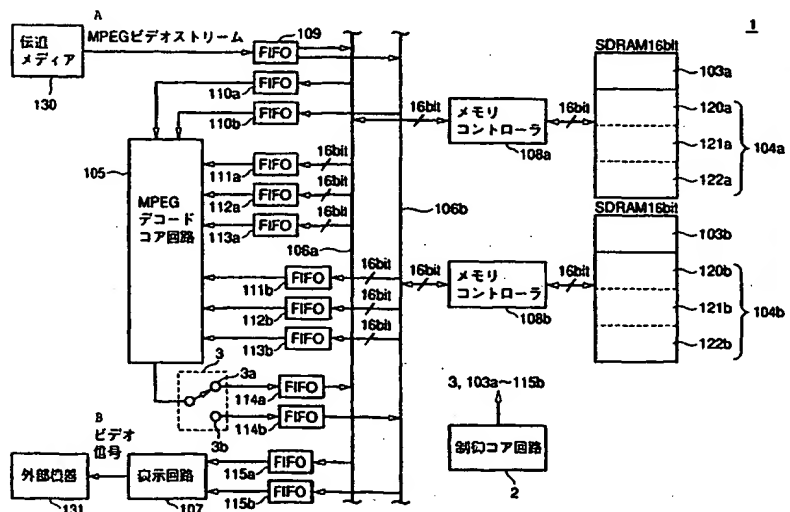
国際調査報告書

(54) Title: VIDEO DECODER

(54) 発明の名称 ビデオデコーダ

(57) Abstract

An MPEG video decoder (1) decodes an MPEG video stream by using both discrete cosine transformation and estimation with movement compensation which practices a reverse direction estimation and a forward direction estimation. A storage region in which front side reference luminance data used for the reverse direction estimation are stored and a storage region in which rear side reference color-difference data used for the forward direction estimation are stored are provided in a frame buffer (104a). A storage region in which front side reference color-difference data used for the reverse direction estimation are stored and a storage region in which rear side reference luminance data used for the forward direction estimation are stored are provided in a frame buffer (104b). Memory accesses to both the frame buffers (104a and 104b) which have I/O data buses width of 16 bits respectively are parallel-processed.



2...CONTROL CORE CIRCUIT
105...MPEG DECODE CORE CIRCUIT
107...DISPLAY CIRCUIT
108a...MEMORY CONTROLLER
108b...MEMORY CONTROLLER
130...TRANSMISSION MEDIUM
131...EXTERNAL APPARATUS
A...MPEG VIDEO STREAM
B...VIDEO SIGNAL

(57)要約

MPEGビデオデコーダ1は、離散コサイン変換と、逆方向予測および順方向予測を行なう動き補償付予測とを併用してMPEGビデオストリームをデコードする。フレームバッファ104aには、逆方向予測に用いられる前方参照用輝度データの格納領域と、順方向予測に用いられる後方参照用色差データの格納領域とが設けられている。フレームバッファ104bには、逆方向予測に用いられる前方参照用色差データの格納領域と、順方向予測に用いられる後方参照用輝度データの格納領域とが設けられている。入出力のデータバス幅がともに16bitの各フレームバッファ104a、104bに対するメモリアクセスは並列処理で行なわれる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明細書

ビデオデコーダ

5 技術分野

本発明はMPEG等の画像圧縮方式を用いたビデオデコーダに関するものである。

背景技術

- 10 マルチメディアで扱われる情報は、膨大な量であり、かつ多種多様であって、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの圧縮・伸長技術が不可欠となる。

- 15 そのようなデータの圧縮伸長技術として「MPEG (Moving Picture Expert Group)」方式が挙げられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) 傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されている。

- 20 MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」(ISO/IEC IS 11172 Part1:Systems) では、ビデオデータとオーディオデータの多重化構造 (マルチプレクス・ストラクチャ) および同期方式が規定される。パート2の「MPEGビデオパート」(ISO/IEC IS 11172 Part2:Video) では、ビデオデータの高効率符号化方式およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」(ISO/IEC IS 11172
25 Part3:Audio) では、オーディオデータの高効率符号化方式およびオーディオデータのフォーマットが規定される。

MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十枚 (たとえば、30枚) のフレーム (静止画、コマ) によって構成されている。ビデオデータは、シーケンス (Sequence)、GOP (Group

Of Pictures)、ピクチャ (Picture)、スライス (Slice)、マクロブロック (Macroblock)、ブロック (Block)の順に6層の階層構造からなる。1枚のピクチャを構成するスライスの個数は一定ではなく、1個のスライスを合成するマクロブロックの個数も一定ではない。

- 5 また、MPEGには主にエンコードレートの違いにより、MPEG-1、MPEG-2の2つの方式がある。MPEG-1においてフレームは、ピクチャに対応している。MPEG-2においては、フレームまたはフィールドをピクチャに対応させることもできる。フィールドは、2枚で1枚のフレームを構成している。

- ちなみに、ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、
10 ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

- MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では双方向予測が行なわれる。双方向予測とは、過去の再生画像（または、ピクチャ）から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

 この双方向予測は、Iピクチャ (Intra-Picture)、Pピクチャ (Predictive-Picture)、Bピクチャ (Bidirectionally predictive-Picture)と呼ばれる3つのタイプのピクチャを規定している。

- Iピクチャは、過去や未来の再生画像とは無関係に独立して生成される。ランダムアクセスを行なうために、GOP内には最低1枚のIピクチャが必要である。
20 Iピクチャ内のすべてのマクロブロック・タイプは、フレーム内予測画面 (IntraFrame)である。

- Pピクチャは、順方向予測（過去のIピクチャまたはPピクチャからの予測）により生成される。Pピクチャ内のマクロブロック・タイプは、フレーム内予測画面と順方向予測画面 (Forward Inter Frame)の両方を含む。

 Bピクチャは双方向予測により生成される。双方向予測においてBピクチャは、以下に示す3つの予測のうちいずれか1つにより生成される。

- ・ 順方向予測；過去のIピクチャまたはBピクチャからの予測。
- ・ 逆方向予測；未来のIピクチャまたはPピクチャからの予測。

・双方向予測；過去および未来のIピクチャまたはPピクチャからの予測。

Bピクチャ内のマクロブロック・タイプは、フレーム内予測画面、順方向予測画面、逆方向予測画面(Backward Inter Frame)、内挿的予測画面(Interpolative Inter Frame)の4つのタイプを含む。

- 5 そして、これらI、P、Bピクチャがそれぞれエンコードされる。つまり、Iピクチャは過去や未来のピクチャがなくても生成される。これに対し、Pピクチャは過去のピクチャがないと生成されず、Bピクチャは過去または未来のピクチャがないと生成されない。

- 10 ただし、PピクチャやBピクチャでも、マクロブロック・タイプが内挿的予測画面の場合、そのマクロブロックは過去や未来のピクチャがなくても生成される。

- フレーム間予測では、まず、Iピクチャが周期的に生成される。次に、Iピクチャよりも数フレーム先のフレームがPピクチャとして生成される。このPピクチャは、過去から現在への一方向(順方向)の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。連続した動画では一般的に、現在の画像とその前後の画像とはよく似ており、異なっているのは、そのごく一部分にすぎない。そこで、前にフレーム(たとえば、Iピクチャ)と次のフレーム(たとえば、Pピクチャ)とはほとんど同じであると仮定し、両フレーム間に変化があればその差分(Bピクチャのデータ)のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。
- 15
- 20

 このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列(ビットストリーム)は、MPEGビデオストリーム(以下、ビデオストリームと略す)と呼ばれる。

- 25 ところで、MPEG-1は主に、ビデオCD(Compact Disc)やCD-ROM(CD-Read Only Memory)などの蓄積メディアに対応している。MPEG-2は、ビデオCD、CD-ROM、DVD(Digital Video Disc)、ビデオテープ、不揮発性半導体メモリを用いたメモリカードなどの蓄積メディアだけでなく、LAN(Local Area Network)などの通信メディア、地上波放送や衛星放送およびC

A TV (Community Antenna Television)などの放送メディアをも含む伝達メディア全般に対応している。

5 MPEGビデオパートで用いられる技術の核となるのが、動き補償予測 (MC; Motion Compensated prediction) と離散コサイン変換 (DCT; Discrete Cosine Transform) である。MCとDCTを併用した符号化技術は、ハイブリッド符号化技術と呼ばれる。MPEGビデオパートでは、エンコード時にDCT符号を用い、画像 (ビデオ信号) を周波数成分に分解して処理する。そして、デコード時にDCTの逆変換 (離散コサイン逆変換: IDCT; Inverse DCT) を用い、周波数成分を再び画像 (ビデオ信号) に戻す。

10 図4は、従来のMPEGビデオデコーダ101のブロック回路図である。

MPEGビデオデコーダ101は、制御コア回路102、ビットバッファ103、フレームバッファ104、MPEGデコードコア回路105、データバス106、表示回路107、メモリコントローラ108、FIFO (First-In-First-Out) 構成のバッファ109~115から構成されている。なお、MPEGビデオ
15 デコーダ101を構成する各回路102~115は、1チップのLSIに搭載されている。

制御コア回路102は、各回路103~115を制御する。

伝達メディア130から転送されてきたビデオストリームは、まずバッファ109に入力され、バッファ109→データバス106→メモリコントローラ108→ビットバッファ103の順序で転送されて、ビットバッファ103に書込ま
20 れる。なお、伝達メディア130には、蓄積メディア (ビデオCD、CD-ROM、DVD、ビデオテープ、メモリカード等)、通信メディア (LAN等)、放送メディア (地上波放送、衛星放送、CATV等) などが含まれる。

ビデオバッファ103は、FIFO構成のSDRAM (Synchronous Dynamic Random Access Memory) からなるリングバッファによって構成され、伝達メディア130から伝送されてくるビデオストリームを順次蓄積する。
25

ビットバッファ103が設けられているのは、I、P、Bの各ピクチャのデータ量が異なっているためである。Iピクチャのデータ量は約30kバイト、Pピクチャのデータ量は約10~15kバイト、Bピクチャのデータ量は0~約6k

バイトである。それに対して、伝達メディア130から転送されてくるビデオストリームのビットレートは一定である。MPEGデコードコア回路105は、各ピクチャごとに処理を行ない、その処理時間は各ピクチャのデータ量によって異なる。そのため、伝達メディア130から伝送されてきたビデオストリームをMPEGデコードコア回路105へ直接転送すると、MPEGデコードコア105において処理できないピクチャが出てくる。これを防止するため、伝達メディア130から転送されてくるビデオストリームに対するバッファメモリとしてのビットバッファ103を設けることで、I、P、Bの各ピクチャのデータ量の相違を吸収しているわけである。

10 フレームバッファ104は、SDRAMからなり、その内部は3つの領域（前方参照領域120、後方参照領域121、Bピクチャ格納領域122）に分けられている。

なお、ビットバッファ103とフレームバッファ104とは、部品点数を少なくしてMPEGビデオデコーダ101の部品コストを減少させるために、1つのSDRAM内に領域を分けて設けられている。

15 また、ビットバッファ103とフレームバッファ104とが設けられるSDRAMの入出力のデータバス幅（ビット幅）は、32bitに設定されている。そのため、メモリコントローラ108の入出力のデータバス幅およびデータバス106のデータバス幅についても、32bitに設定されている。

20 メモリコントローラ108は、ビットバッファ103およびプレスバッファ104の読出動作および書込動作を制御する。

ビットバッファ103に蓄積されたビデオストリームは、メモリコントローラ108により、1フレーム期間ごとに1枚のピクチャ分ずつのビデオストリームが読出され、そのビデオストリームは、メモリコントローラ108→データバス106→バッファ110の順番で転送されて、MPEGデコードコア回路105に入力される。

MPEGデコードコア回路105は、入力された1ピクチャ分のビデオストリームに対して、まず、ハフマンコードに基づいた可変長デコード処理を行ない、次に、可変長デコード処理結果に対して量子化しきい値に基づいた逆量子化処理

を行なってDCT(Discrete Cosine Transform)係数を求め、続いて、求めたDCT係数に対してIDCT処理を行ない、最後に、IDCT(Inverse DCT)処理結果に対してMC(Motion Compensated prediction)処理を行なう。

5 そして、MPEGデコードコア回路105によるMC処理結果は、バッファ114→データバス106→メモリコントローラ108→フレームバッファ104の順番で転送されて、メモリコントローラ108によりフレームバッファ104のいずれかの領域120～122に格納される。

10 また、メモリコントローラ108により、フレームバッファ104の各領域120～122から読出されたデータは、メモリコントローラ108→データバス106→各バッファ111～113のいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120から読出されたデータはバッファ111を介して転送され、後方参照領域121から読出されたデータはバッファ112を介して転送され、Bピクチャ格納領域122から読出されたデータはバッファ113を介して転送される。

15 前方参照領域120には、MPEGデコードコア回路105によるMC処理において逆方向予測を行なう際に用いられる未来のIピクチャまたはPピクチャが格納される。後方参照領域121には、MC処理において順方向予測を行なう際に用いられる過去のIピクチャまたはPピクチャが格納される。Bピクチャ格納領域122には、Bピクチャが格納される。

20 前方参照領域120および後方参照領域121に格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行なうための基データとして使われるため、必要がなくなるまで、各領域120、121に格納し続けなければならない。Bピクチャ格納領域122に格納されるBピクチャについては、基データとして扱われないため、MPEGビデオデコーダ101の外部へ出力されたら
25 不要になる。なお、各領域120～122はプレーン(Plane)とも呼ばれる。

 そして、メモリコントローラ108により、フレームバッファ104の各領域120～122のいずれか1つから読出されたピクチャのデータは、メモリコントローラ108→データバス106→バッファ115の順番で転送されて、表示回路107に入力される。

表示回路107は、ピクチャのデータからビデオ信号（映像信号）を生成し、そのビデオ信号をMPEGビデオデコーダ101に接続された外部機器131へ出力する。たとえば、外部機器131としてディスプレイを接続した場合、当該ディスプレイはビデオ信号を画像として表示する。また、外部機器131として蓄積メディア（ビデオテープ、メモリカード等）を接続した場合、当該蓄積メディアにはビデオ信号が記憶蓄積される。

このように構成されたMPEGビデオデコーダ101は、ムービーカメラ、スチールカメラ、テレビジョン、ビデオCD再生装置、DVD再生装置などに組み込まれる。なお、MPEGビデオデコーダ101をムービーカメラまたはスチールカメラに組み込む場合は、伝達メディア130がCCD (Charge Coupled Device)などの撮像デバイスおよびその信号処理回路に置き換えられる。

図5は、SDRAMからなるフレームバッファ104の前方参照領域120および後方参照領域121に格納される輝度（Y）データおよび色差（C）データの格納状態を模式的に示す模式図である。

前方参照領域120には、前方参照用の輝度データy fの格納領域140と、前方参照用の色差データc fの格納領域141とが設けられている。また、後方参照領域121には、後方参照用の輝度データy rの格納領域142と、後方参照用の色差データc rの格納領域143とが設けられている。

なお、色差データのデータ量は輝度データのデータ量のほぼ半分である。そのため、各格納領域141、143のデータ量は各格納領域140、142のデータ量のほぼ半分に設定されている。

ちなみに、上記のように、フレームバッファ104の各領域120、121に各データy f、c f、y r、c rを格納するための各格納領域140～143を設けることは、メモリマッピングと呼ばれる。

一般に、SDRAMにアクセスする際には、SDRAMに規定されたキャストリケンシーおよびバーストレンジにより決定される所定のコマンドを設定する必要がある、そのように所定のコマンドを設定することはコマンドオーバーヘッドと呼ばれる。そのため、アクセスを開始した時点からデータの書込または読出が実際に開始される時点までの間に、コマンドオーバーヘッドに要する時間分の

遅延時間が生じることになる。このコマンドオーバーヘッドに要する時間（遅延時間）は、SDRAMの動作クロックの6～7クロック分以下にはできない。

図6は、入出力のデータバス幅が32bitのSDRAMからなるフレームバッファ104の各領域120、121から1つのマクロブロック分のデータを読み出す場合におけるメモリアクセスの順番を模式的に示す模式図である。

メモリアクセスは、格納領域140に対するコマンドオーバーヘッドcom→格納領域140からの前方参照用輝度データyfの読出→格納領域141に対するコマンドオーバーヘッドcom→格納領域141からの前方参照用色差データcfの読出→格納領域142に対するコマンドオーバーヘッドcom→格納領域142からの後方参照用輝度データyrの読出→格納領域143に対するコマンドオーバーヘッドcom→格納領域143からの後方参照用色差データcrの読出の順番で行なわれる。

したがって、この場合のメモリアクセスに要する時間T1は、以下の式（1）により求められる。

$$T1 = 4 \times t1 + 2 \times t2 + 2 \times t3 \quad \dots (1)$$

ただし、t1；コマンドオーバーヘッドcomに要する時間

t2；各輝度データyf、yrの読出に要する時間

t3；各色差データcf、crの読出に要する時間

ところで、MPEGデコードコア回路105によるMC処理では、1つのマクロブロックの半分（ハーフマクロブロック）の輝度データを復元するために、SDRAMからなるフレームバッファ104の前方参照領域120または後方参照領域121からハーフマクロブロック分の輝度データを読み出す場合がある。

図7Aに示すように、このハーフマクロブロック分の輝度データを復元するのに前方参照領域120または後方参照領域121から読出する必要のある輝度データは、9ピクセル（画素）×17ピクセル（画素）分のデータである。

一般に、SDRAMにアクセスできる最小単位は、SDRAMに規定されたバーストレンジに入出力のデータバス幅を乗算した値になる。

バーストレンジの最小値は「2」であるため、入出力のデータバス幅が32bitのSDRAMにアクセスできる最小単位は、2×32bitになる。ところ

で、1つのピクセル（画素）のデータ量は8 b i tである。したがって、入出力のデータバス幅が32 b i tのSDRAMにアクセスできる最小単位は、水平方向に配置された8ピクセル分になる。

5 そのため、図7Bに示すように、入出力のデータバス幅が32 b i tのSDRAMからなるフレームバッファ104からハーフマクロブロック分の輝度データ（9ピクセル×17ピクセル分のデータ）を読出すには、9ピクセル×24ピクセル分のデータを読出す必要がある。すなわち、入出力のデータバス幅が32 b i tのSDRAMにアクセスできる最小単位は水平8ピクセル分であるため、水平17ピクセル分のデータを読出すには、水平8ピクセルの3倍の24ピクセル分のデータを読出さなければならない。そして、読出した9ピクセル×24ピクセル分のデータのうち、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである9ピクセル×7ピクセル分は無駄なデータとなる。

10 近年、MPEGビデオデコーダ101の動作速度を高速化することが要求されている。それには、フレームバッファ104とデータバス106を高速化して動作周波数を高くする方法と、フレームバッファ104とデータバス106の入出力のデータバス幅（ビット幅）を32 b i tよりもさらに広げる（たとえば、48 b i t、64 b i t、128 b i t等）方法とがある。しかし、動作周波数の高いフレームバッファ104は高価（たとえば、SDRAMよりも高速なランバ
15 スDRAMはSDRAMより高価）である上に、消費電力も大きくなる。また、入出力のデータバス幅をさらに広げると、LSIの端子数が増加するとともにフレームバッファ104を構成するSDRAMのチップ数が増加するため、MPEGビデオデコーダ101の基板実装面積の増大やコストアップを招くことになる。そこで、フレームバッファ104の動作周波数を高くしたり、入出力のデータバス幅を広げることなく、MPEGビデオデコーダ101の動作速度を高速化
20 することが求められている。

発明の開示

本発明の目的は、動作速度を高速化することが可能なMPEG等の画像圧縮方式を用いたビデオデコーダを提供することにある。

係る目的を達成するために本願発明は、離散コサイン変換と、逆方向予測および順方向予測を行なう動き補償予測とを併用してビデオストリームをデコードするビデオデコーダにおいて、上記逆方向予測に用いられる前方参照用輝度データの格納領域と、上記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、上記逆方向予測に用いられる前方参照用色差データの格納領域と、上記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、上記第1フレームバッファに対するメモリアクセス動作と上記第2フレームバッファに対するメモリアクセス動作との少なくとも一部分の動作を並列処理で行なう読出制御回路とを備える。

したがって、本発明においては、第1および第2フレームバッファとして入出力のデータバス幅が小さなものを用いれば、各フレームバッファからハーフマクロブロック分の輝度データ（例えば、9ピクセル×17ピクセル分のデータ）を読出す際にも、無駄なデータの読出を少なくすることが可能になり、その分だけメモリアクセスに要する時間を短縮することができる。そのため、各フレームバッファの動作周波数を高くしたり入出力のデータバス幅を拡げることなく、ビデオデコーダの動作速度を高速化することができる。

本発明の他の局面に従うと、離散コサイン変換と、逆方向予測および順方向予測を行なう動き補償付予測とを併用してビデオストリームをデコードするビデオデコーダにおいて、上記逆方向予測に用いられる前方参照用輝度データの格納領域と、上記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、上記逆方向予測に用いられる前方参照用色差データの格納領域と、上記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、第1フレームバッファと第2フレームバッファとに対するメモリアクセスを並列処理で行ない、第1フレームバッファから前方参照用輝度データを読出しているときに、第2フレームバッファから前方参照用色差データを読出すとともに、第1フレームバッファから後方参照用色差データを読出しているときに、第2フレームバッファから後方参照用輝度データを読出すようにする読出制御回路とを備える。

したがって、本発明によれば、メモリアクセスに要する時間を極めて効果的に

短縮することができる。

さらに、好ましくは、ビデオデコーダにおいては、前方参照用輝度データおよび後方参照用色差データを上記第1フレームバッファにおける所定の格納領域に格納させるとともに、前方参照用色差データおよび後方参照用輝度データを上記
5 第2フレームバッファにおける所定の格納領域に格納させる書込制御回路を備える。

さらに好ましくは、ビデオデコーダにおいて、上記第1および第2フレームバッファはともに入出力のデータバス幅の等しいSDRAMを含む。

したがって、本発明によれば、第1フレームバッファと第2フレームバッファ
10 に対するメモリアクセスが並列処理で行なわれる。このため、各フレームバッファから1つのマクロブロック分の輝度データおよび色差データを読み出す際のメモリアクセスに要する時間を、SDRAM等のバッファメモリに規定されたコマンドオーバーヘッドの2回分に要する時間だけ短縮することができる。そのため、ビデオデコーダの動作速度をさらに高速化することが可能である。

15

図面の簡単な説明

図1は、本発明の実施例1のMPEGビデオデコーダのブロック回路図である。

図2は、実施例1の動作を説明するための第1の模式図である。

図3は、実施例1の動作を説明するための第2の模式図である。

20 図4は、従来のMPEGビデオデコーダのブロック回路図である。

図5は、従来のMPEGビデオデコーダの動作を説明するための第1の模式図である。

図6は、従来のMPEGビデオデコーダの動作を説明するための第2の模式図である。

25 図7A～図7Cは、従来のMPEGビデオデコーダの動作を説明するための模式図であり、図7Aは、ハーフマクロブロック分の輝度データを復元するのに必要のあるデータを示し、図7Bは、フレームバッファ104からハーフマクロブロック分の輝度データを読み出す際に読み出されるデータを示し、図7Cは、フレームバッファからハーフマクロブロック分の輝度データを読み出す動作を示す。

発明を実施するための最良の形態

以下、本発明の実施例を図面とともに説明する。

- 5 なお、実施例において、図4～図7Cに示した従来のMPEGビデオデコーダと同一の構成部分については同一符号を付してその説明を繰返さない。

図1は、実施例1のMPEGビデオデコーダ1の構成を示すブロック回路図である。

- 10 MPEGビデオデコーダ1は、制御コア回路2、切換回路3、ビットバッファ103a、103b、フレームバッファ104a、104b、MPEGデコードコア回路105、データバス106a、106b、表示回路107、メモリコントローラ108a、108b、FIFO構成のバッファ109、110a～115bから構成されている。なお、MPEGビデオデコーダ1を構成する各回路2、103a～115bは1チップのLSIに搭載されている。

制御コア回路2は、各回路3、103a～115bを制御する。

- 15 伝達メディア130から転送されてきたビデオストリームは、まずバッファ109に入力され、バッファ109→各データバス106a、106b→各メモリコントローラ108a、108b→各ビットバッファ103a、103bの順番で転送されて、各ビットバッファ103a、103bに書込まれる。

- 20 各ビットバッファ103a、103bはFIFO構成のSDRAMからなるリングバッファによって構成され、伝達メディア130から転送されてくるビデオストリームを順次蓄積する。

各ビットバッファ103a、103bが設けられているのは、従来のMPEGビデオデコーダ101においてビットバッファ103が設けられている理由と同じである。

- 25 各フレームバッファ104a、104bはSDRAMからなり、それぞれの内部は3つの領域（前方参照領域120a、120b、後方参照領域121a、121b、Bピクチャ格納領域122a、122b）に分けられている。

なお、部品点数を少なくしてMPEGビデオデコーダ1の部品コストを減少させるため、ビットバッファ103aとフレームバッファ104aとが1つのSD

RAM内に領域を分けて設けられ、ビットバッファ103aとフレームバッファ104bとが1つのSDRAM内に領域を分けて設けられている。

また、ビットバッファ103a、103bとフレームバッファ104a、104bとが設けられるそれぞれのSDRAMの入出力のデータバス幅（ビット幅）はともに、16bitに設定されている。そのため、各メモリコントローラ108a、108bの入出力のデータバス幅および各データバス106a、106bのデータバス幅についても、16bitに設定されている。

メモリコントローラ108aは、ビットバッファ103aおよびフレームバッファ104aの読出動作および書込動作を制御する。また、メモリコントローラ108bは、ビットバッファ103bおよびフレームバッファ104bの読出動作および書込動作を制御する。

各ビットバッファ103a、103bに蓄積されたビデオストリームは、各メモリコントローラ108a、108bにより、1フレーム期間ごとに1枚のピクチャ分ずつのビデオストリームが読出される。そして、ビットバッファ103aから読出された1枚のピクチャ分のビデオストリームは、メモリコントローラ108a→データバス106a→バッファ110aの順番で転送されて、MPEGデコードコア回路105に入力される。また、ビットバッファ103bから読出された1枚のピクチャ分のビデオストリームは、メモリコントローラ108b→データバス106→バッファ110bの順番で転送されて、MPEGデコードコア回路105に入力される。

MPEGデコードコア回路105は、従来のMPEGビデオデコーダ101と同様に、入力された1ピクチャ分のビデオストリームに対して、可変長デコード処理、逆量子化処理、IDCT処理、MC処理を順次行なう。

そして、MPEGデコードコア回路105によるMC処理結果は、切換回路3に転送される。切換回路3は、各ノード3a、3bのいずれかの側に切換えられる。切換回路3がノード3a側に切換えられた場合、MC処理結果は、バッファ114a→データバス106a→メモリコントローラ108a→フレームバッファ104aの順番で転送されて、メモリコントローラ108aにより、フレームバッファ104aのいずれかの領域120a～122aに格納される。また、切

換回路3がノード3b側に切換えられた場合、MC処理結果は、バッファ114b→データバス106b→メモリコントローラ108b→フレームバッファ104bの順番で転送されて、メモリコントローラ108bにより、フレームバッファ104bのいずれかの領域120b~122bに格納される。

- 5 そして、メモリコントローラ108aにより、フレームバッファ104aの各領域120a~122aから読出されたデータは、メモリコントローラ108a→データバス106a→各バッファ111a~113aのいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120aから読出されたデータはバッファ111aを介して転送され、後方参照領域121aから読出されたデータはバッファ112aを介して転送され、Bピクチャ格納領域122aから読出されたデータはバッファ113aを介して転送される。

- 15 また、メモリコントローラ108bにより、フレームバッファ104bの各領域120b~122bから読出されたデータは、メモリコントローラ108b→データバス106b→各バッファ111b~113bのいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120bから読出されたデータはバッファ111bを介して転送され、後方参照領域121bから読出されたデータはバッファ112bを介して転送され、Bピクチャ格納領域122bから読出されたデータはバッファ113bを介して転送される。

- 20 各前方参照領域120a、120bには、MPEGデコードコア回路105によるMC処理において逆方向予測を行なう際に用いられる未来のIピクチャまたはPピクチャが格納される。各後方参照領域121a、121bには、MC処理において順方向予測を行なう際に用いられる過去のIピクチャまたはPピクチャが格納される。各Bピクチャ格納領域122a、122bにはBピクチャが格納される。

25 各前方参照領域120a、120bおよび各後方参照領域121a、121bに格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行なうための元データとして使われるため、必要がなくなるまで、各領域120a、

120b、121a、121bに格納し続けなければならない。Bピクチャ格納領域122a、122bに格納されるBピクチャについては元データとして扱われないため、MPEGビデオデコーダ1の外部へ出力されたら不要になる。なお、各領域120a～122bはプレーンとも呼ばれる。

- 5 そして、メモリコントローラ108aにより、フレームバッファ104aの各領域120a～122aのいずれか1つから読出されたピクチャのデータは、メモリコントローラ108a→データバス106a→バッファ115aの順番で転送されて、表示回路107に入力される。

- 10 また、メモリコントローラ108bにより、フレームバッファ104bの各領域120b～122bのいずれか1つから読出されたピクチャのデータは、メモリコントローラ108b→データバス106b→バッファ115bの順番で転送されて、表示回路107に入力される。

- 15 表示回路107は、各バッファ115a、115bから転送されたピクチャのデータからビデオ信号（映像信号）を生成し、そのビデオ信号をMPEGビデオデコーダ1に接続された外部機器131へ出力する。

- 20 このように構成されたMPEGビデオデコーダ1は、従来のMPEGビデオデコーダ101と同様に、ムービーカメラ、スチールカメラ、テレビジョン、ビデオCD再生装置、DVD再生装置などに組み込まれる。なお、MPEGビデオデコーダ1をムービーカメラまたはスチールカメラに組み込む場合は、伝達メディア130がCCDなどの撮像デバイスおよびその信号処理回路に置き換えられる。

図2は、SDRAMからなる各フレームバッファ104a、104bの前方参照領域120a、120bおよび後方参照領域121a、121bに格納される輝度（Y）データおよび色差（C）データの格納状態を模式的に示す模式図である。

- 25 フレームバッファ104aにおいては、前方参照領域120aには前方参照用の輝度データyfの格納領域140が設けられ、後方参照領域121aには後方参照用の色差データcrの格納領域143が設けられている。

フレームバッファ104bにおいては、前方参照領域120bには前方参照用の色差データcfの格納領域141が設けられ、後方参照領域121bには後方

参照用の輝度データ y_r の格納領域 142 が設けられている。

前述したように、色差データのデータ量は輝度データのデータ量のほぼ半分であるため、各格納領域 141、143 のデータ量は各格納領域 140、142 のデータ量のほぼ半分に設定されている。

- 5 このように、各フレームバッファ 104a、104b の各領域 120a、121a、120b、121b に各データ y_f 、 c_r 、 c_f 、 y_r を振り分けて格納することは、上記切換回路 3 の切換動作により容易かつ確実にこなうことができる。

- 10 ちなみに、上述のように、各フレームバッファ 104a、104b の各領域 120a、121a、120b、121b に各データ y_f 、 c_f 、 y_r 、 c_r を格納するための各格納領域 140～143 を設けることは、メモリマッピングと呼ばれる。

- 15 図 3 は、入出力のデータバス幅が 16 bit の SDRAM からなるフレームバッファ 104a、104b の各領域 120a、121a、120b、121b から 1 つのマクロブロック分のデータを読み出す場合におけるメモリアクセスの順番を模式的に示す模式図である。

- 20 クレームバッファ 104a に対するメモリアクセスは、格納領域 140 に対するコマンドオーバーヘッド com → 格納領域 140 からの前方参照用輝度データ i_f の読出 → 格納領域 143 に対するコマンドオーバーヘッド com → 格納領域 143 からの後方参照用色差データ c_r の読出の順番で行なわれる。

フレームバッファ 104b に対するメモリアクセスは、格納領域 141 に対するコマンドオーバーヘッド com → 格納領域 141 からの前方参照用色差データ c_f の読出 → 格納領域 142 に対するコマンドオーバーヘッド com → 格納領域 142 からの前方参照用輝度データ y_r の読出の順番で行なわれる。

- 25 そのため、MPEG デコードコア回路 105 には、格納領域 140 から読出された前方参照用輝度データ y_f が転送されているときに、格納領域 141 から読出された前方参照用色差データ c_f が転送される。そのため、MPEG デコードコア回路 105 では、従来の MPEG ビデオデコーダ 101 と同様に、前方参照用輝度データ y_f および前方参照用色差データ c_f に基づいて、MC 処理による

逆方向予測が行なわれる。

また、MPEGデコードコア回路105には、格納領域143から読出された後方参照用色差データc fが転送されているときに、格納領域142から読出された後方参照用輝度データy rが転送される。そのため、MPEGデコードコア回路105では、従来のMPEGビデオデコーダ101と同様に、後方参照用色差データc rおよび後方参照用輝度データy rに基づいて、MC処理による順方向予測が行なわれる。

つまり、各フレームバッファ104 a、104 b、各メモリコントローラ108 a、108 b、各バッファ111 a、112 aと各バッファ111 b、112 bは同時に動作し、各フレームバッファ104 a、104 bに対するメモリアクセスは並列処理される。

したがって、この場合のメモリアクセスに要する時間T 2は、式(2)により求められる。

$$T 2 = 2 \times t 1 + t 4 + t 5 \quad \dots (2)$$

ただし、t 1 ; コマンドオーバーヘッドc omに要する時間

t 4 ; 各輝度データy f、y rの読出に要する時間

t 5 ; 各色差データc f、c rの読出に要する時間

ここで、各フレームバッファ104 a、104 bのデータバス幅は16 b i tである。それに対して、従来のMPEGビデオデコーダ101のフレームバッファ104のデータバス幅は32 b i tである。そのため、前記時間t 1、t 3、t 4、t 5の関係は式(3)に示すようになる。

$$t 4 = 2 \times t 2$$

$$t 5 = 2 \times t 3 \quad \dots (3)$$

その結果、上記式(1)により求められる従来のMPEGビデオデコーダ101のメモリアクセスに要する時間T 1と、本実施例のMPEGビデオデコーダ1のメモリアクセスに要する時間T 2との関係は式(4)に示すようになる。

$$T 2 = T 1 - 2 \times t 1 \quad \dots (4)$$

したがって、本実施例にMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、フレームバッファ104 a、104 bから1つ

のマクロブロック分の輝度データおよび色差データを読み出す際のメモリアクセスに要する時間を、2回分のコマンドオーバーヘッドcomに要する時間(=2×t1)分だけ短縮することができる。

また、図7Cに示すように、入出力のデータバス幅が16bitのSDRAMからなる各フレームバッファ104a、104bからハーフマクロブロック分の輝度データ(9ピクセル×17ピクセル分のデータ)を読み出すには、9ピクセル×20ピクセル分のデータを読み出せばよい。すなわち、入出力のデータバス幅が16bitのSDRAMにアクセスできる最少単位は水平4ピクセル分であるため、水平17ピクセル分のデータを読み出すには、水平4ピクセルの5倍の20ピクセル分のデータを読み出さなければよい。そして、読み出した9ピクセル×20ピクセル分のデータのうち、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである、9ピクセル×3ピクセル分は無駄なデータとなる。

上述したように、従来のMPEGビデオデコーダ101では、9ピクセル×24ピクセル分のデータを読み出さなければならず、そのうち、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである9ピクセル×7ピクセル分は無駄なデータとなる。

したがって、本実施例のMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、フレームバッファ104a、104bからハーフマクロブロック分の輝度データを読み出す際に、9ピクセル×4ピクセル分は無駄なデータの読み出しを行なう必要がなくなり、その分だけメモリアクセスに要する時間を短縮することができる。

以上詳述したように、本実施例のMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、MPEGデコードコア回路105にてMC処理を行なうときに、フレームバッファ104a、104bからデータを読み出す際のメモリアクセスに要する時間を短縮することが可能になる。

したがって、本実施例によれば、フレームバッファ104a、104bの動作周波数をさらに高くしたり入出力のデータバス幅をさらに広げることなく、MPEGビデオデコーダ1の動作速度を高速化することができる。ちなみに、本実施例のMPEGビデオデコーダ1の動作速度は、従来のMPEGビデオデコーダ1

01に比べて1.3～1.5倍高速になる。

そして、フレームバッファ104a、104bとして動作周波数の高い高価で消費電力の大きなものを使用することなく、動作速度の高速なMPEGビデオデコーダ1を実現することが可能になり、MPEGビデオデコーダ1の動作速度の高速化に際して、コストアップならびに消費電力の増大を回避することができる。

本実施例では、フレームバッファ104a、104bを構成するSDRAM、メモリコントローラ108a、108b、データバス106a、106bのデータバス幅（ビット幅）をすべて16bitに設定することにより、全体として16bit+16bitの32bitとしている。ところで、より高速な処理が要求される場合には、64bit化が必要となるが、この場合には、フレームバッファ104a、104bを構成するSDRAM、メモリコントローラ108a、108b、データバス106a、106bのデータバス幅をすべて32bitに設定することにより、全体として32bit+32bitの64bitとすればよく、このようにすれば本実施例と同様の効果を得ることができる。

なお、本発明は上記実施例に限定されるものではなく、以下のように変更してもよく、その場合でも上記実施例と同等もしくはそれ以上の作用効果を得ることができる。

(1) MPEGビデオデコーダ1において、各バッファ113a、113bは適宜省略することができる。また、各バッファ111a、112aの機能を1つのバッファで兼用してもよく、同様に、各バッファ111b、112bの機能を1つのバッファで兼用してもよい。

(2) フレームバッファ104a、104bを、SDRAMではなく、書換え可能な他の形式の半導体メモリ（たとえば、DRAM、ランバスDRAM等）によって構成してもよい。

この発明を詳細に説明し示してきたが、これは例示のためのみであって、限定となつてはならず、発明の精神と範囲は添付の請求の範囲によってのみ限定されることが明らかに理解されるであろう。

請求の範囲

1. 逆方向予測および順方向予測を行なう動き補償付予測を用いてビデオストリームをデコードするビデオデコーダであって、
- 5 前記逆方向予測に用いられる前方参照用輝度データの格納領域と、前記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、
- 前記逆方向予測に用いられる前方参照用色差データの格納領域と、前記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレーム
- 10 バッファと、
- 前記ビデオデコーダの動作を制御するための制御回路とを備え、
- 前記制御回路は、前記第1フレームバッファに対するメモリアクセス動作と前記第2フレームバッファに対するメモリアクセス動作との少なくとも一部分の動作を、並列処理で行なう、ビデオデコーダ。
- 15 2. 前記第1および第2のフレームバッファから読み出されたデータのデコードのために、逆離散コサイン変換処理を行なう離散コサイン変換処理回路をさらに備える、請求項1に記載のビデオデコーダ。
3. 前記制御回路は、書込み動作において、前方参照用輝度データおよび後方参照用色差データを前記第1フレームバッファにおける所定の格納領域に格納させるとともに、前方参照用色差データおよび後方参照用輝度データを前記第2フ
- 20 レームバッファにおける所定の格納領域に格納させる、請求項1に記載のビデオデコーダ。
4. 前記第1および第2のフレームバッファは、読出コマンドを与えてから所定時間経過後にデータ出力が開始される第1および第2のメモリ回路をそれぞれ含
- 25 む、請求項3に記載のビデオデコーダ。
5. 前記第1および第2のメモリ回路は、それぞれ、互いに入出力のデータバス幅の等しいシンクロナスダイナミック型ランダムアクセスメモリを含む、請求項4に記載のビデオデコーダ。
6. 前記ビデオストリームは、離散コサイン変換と、逆方向および順方向予測を

行なう動き補償予測とを併用するMPEGビデオストリームである、請求項4に記載のビデオデコーダ。

7. 前記制御回路は、読出動作において、前記第1フレームバッファと前記第2フレームバッファとに対するメモリアクセスを並列処理で行ない、

5 i) 前記第1フレームバッファから前方参照用輝度データを読出しているときに、前記第2フレームバッファから前方参照用色差データを読出し、

 ii) 前記第1フレームバッファから後方参照用色差データを読出しているときに、前記第2フレームバッファから後方参照用輝度データを読出すように読出動作を制御する、請求項1に記載のビデオデコーダ。

10 8. 前記制御回路は、書込み動作において、前方参照用輝度データおよび後方参照用色差データを前記第1フレームバッファにおける所定の格納領域に格納させるとともに、前方参照用色差データおよび後方参照用輝度データを前記第2フレームバッファにおける所定の格納領域に格納させる、請求項7に記載のビデオデコーダ。

15 9. 前記第1および第2のフレームバッファは、読出コマンドを与えてから所定時間経過後にデータ出力が開始される第1および第2のメモリ回路をそれぞれ含む、請求項8に記載のビデオデコーダ。

 10. 前記第1および第2のメモリ回路は、それぞれ、互いに入出力のデータバス幅の等しいシンクロナスダイナミック型ランダムアクセスメモリを含む、請求
20 項9に記載のビデオデコーダ。

 11. 前記ビデオストリームは、離散コサイン変換と、逆方向および順方向予測を行なう動き補償予測とを併用する、MPEGビデオストリームである、請求項9に記載のビデオデコーダ。

FIG. 1

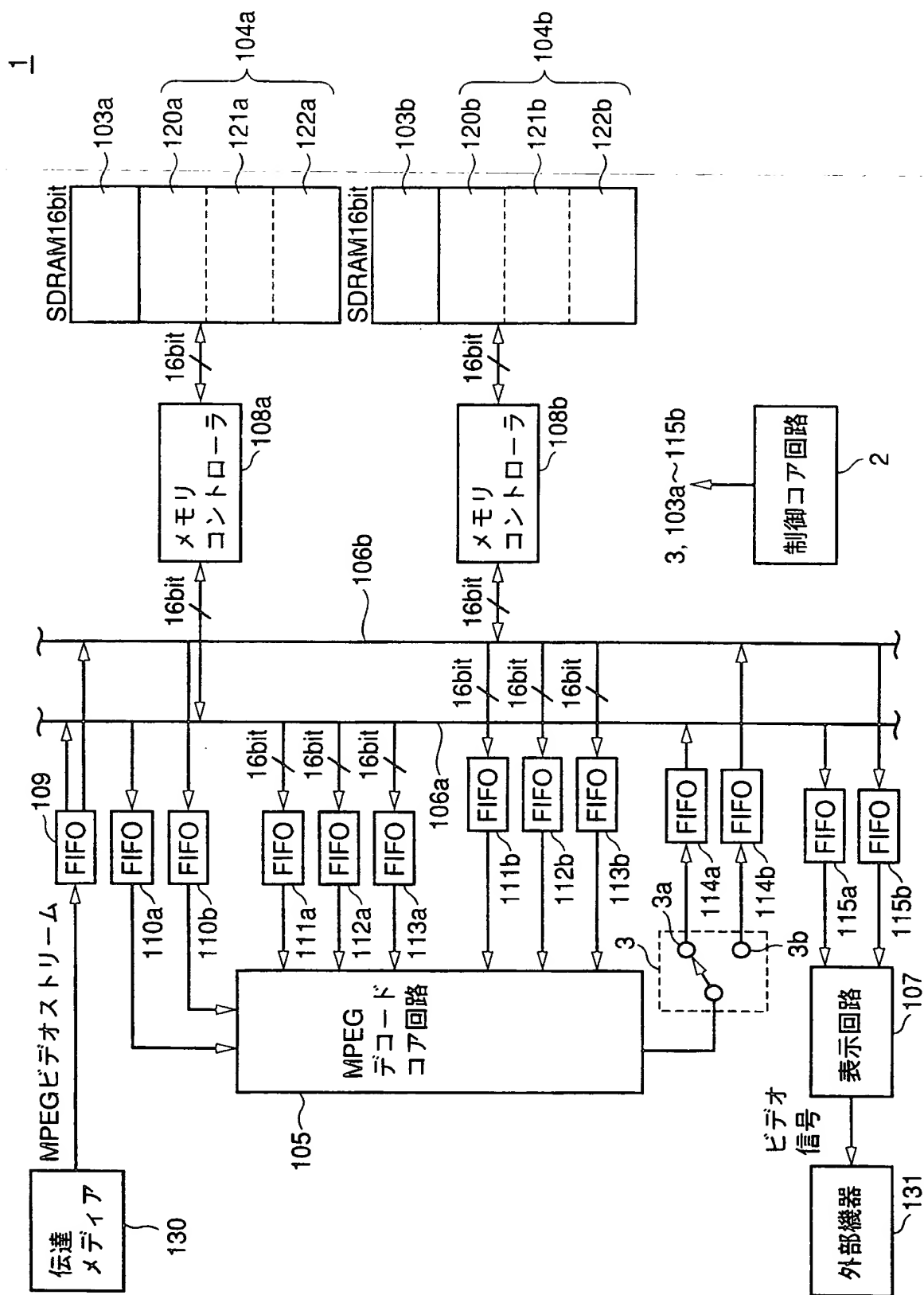


FIG. 2

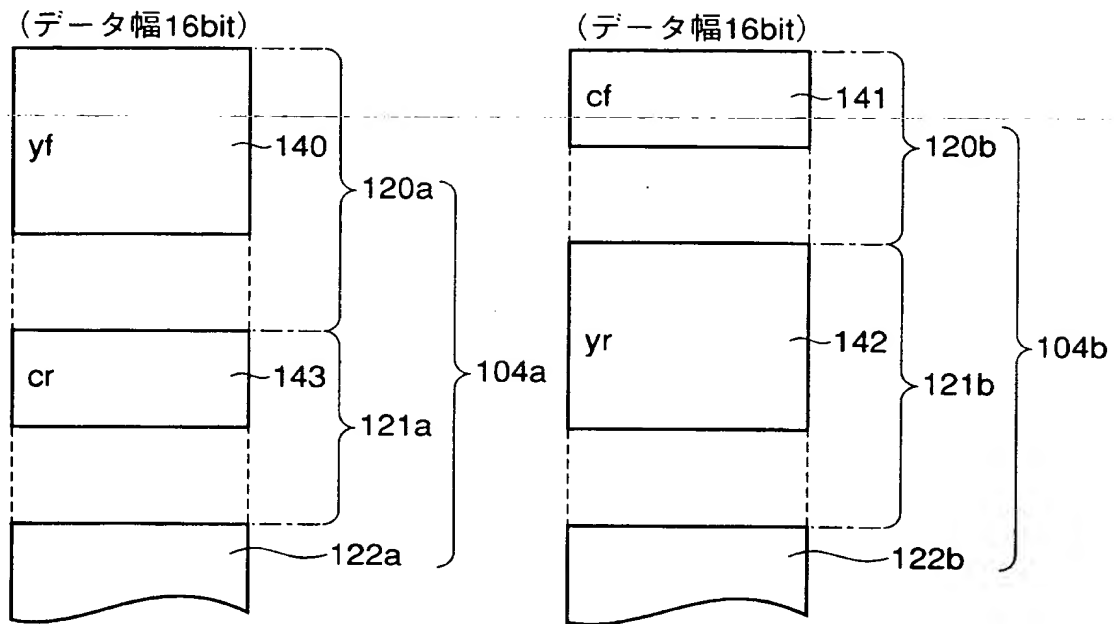


FIG. 3

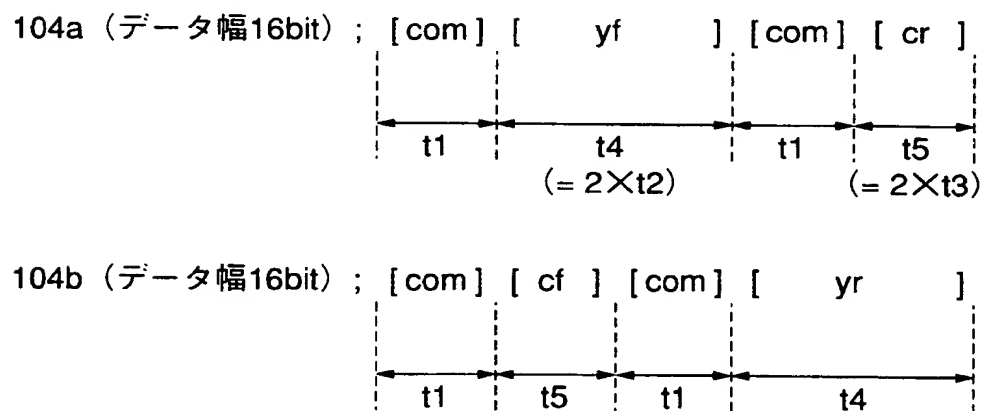


FIG. 4

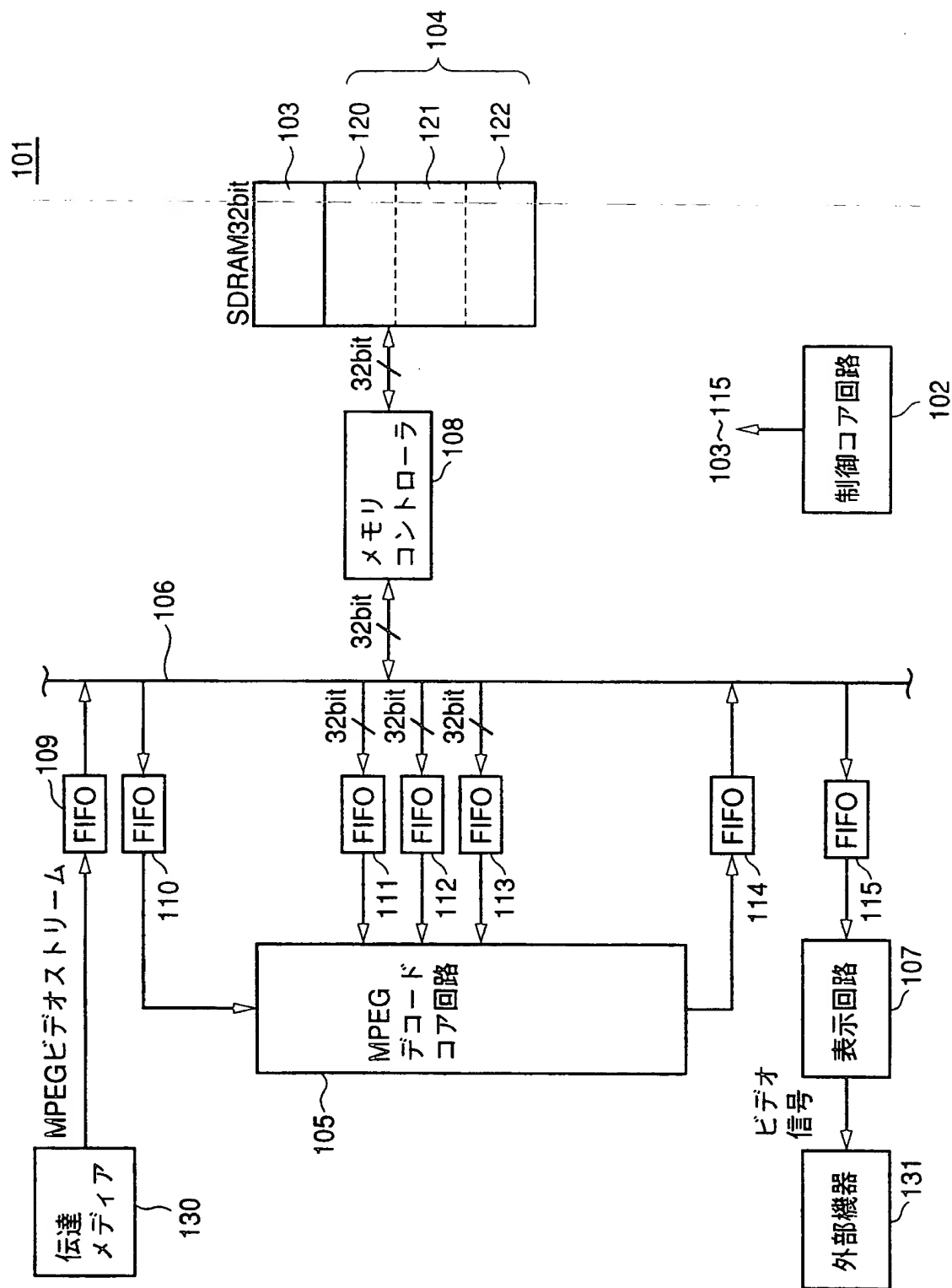


FIG. 5

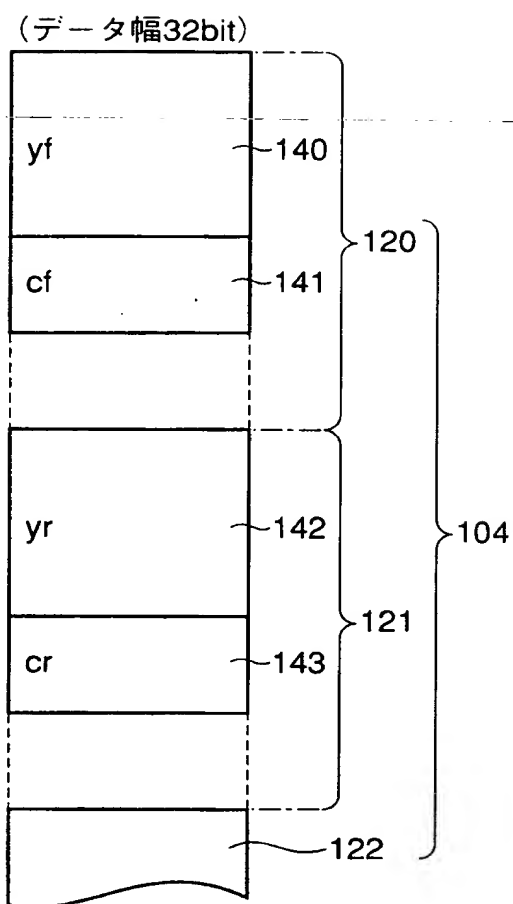


FIG. 6

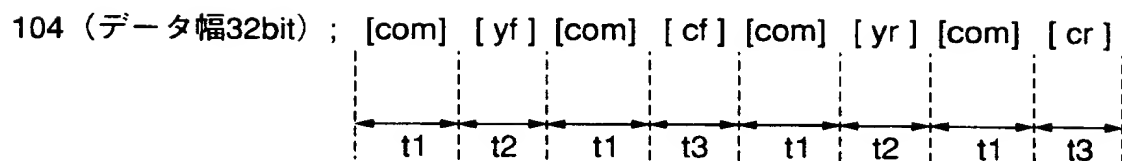


FIG. 7A

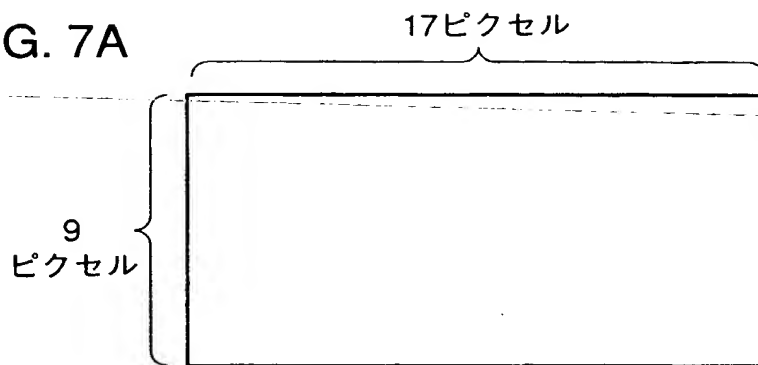


FIG. 7B

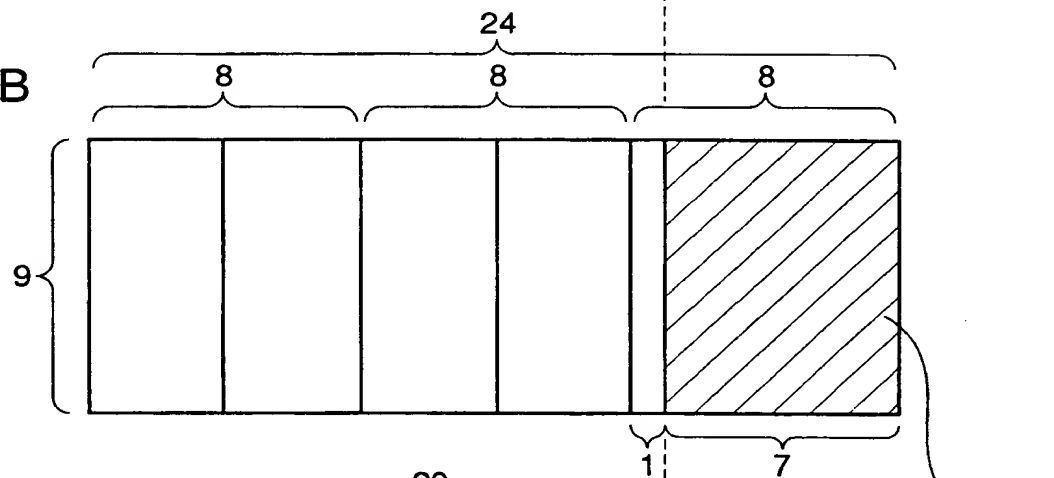
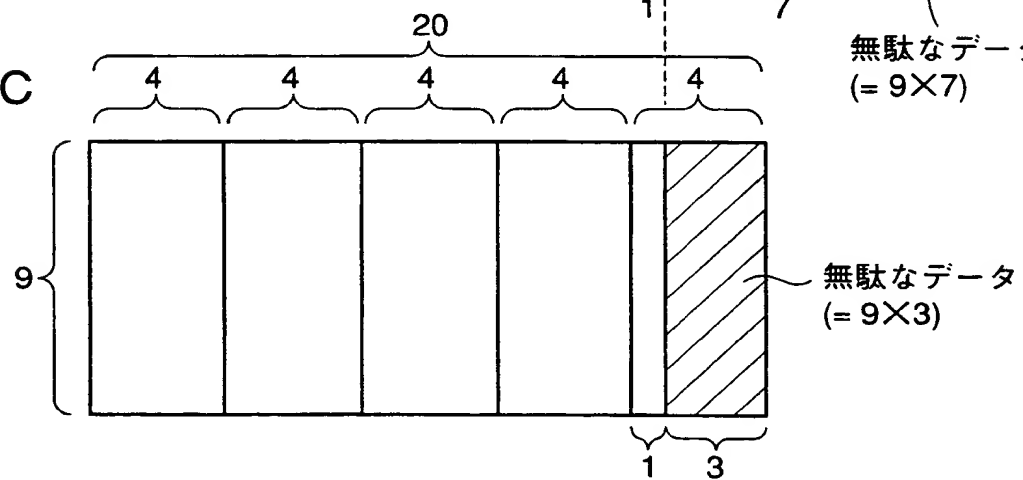


FIG. 7C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01725

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H04N7/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H04N7/24-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JOIS (JICST FILE)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP, 602642, A2 (NEC CORPORATION), 22 June, 1994 (22.06.94), Full text; Figs. 1 to 5 & JP, 6-189298, A	1-11
A	JP, 7-298264, A (Graphics Communication Lab. K.K.), 10 November, 1995 (10.11.95), Full text; Figs. 1 to 16 (Family: none)	1-11
A	JP, 8-186826, A (Graphics Communication Lab. K.K.), 16 July, 1996 (16.07.96), Full text; Figs. 1 to 11 (Family: none)	1-11
A	JP, 11-55668, A (NEC Corporation), 26 February, 1999 (26.02.99), Full text; Figs. 1 to 12 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
26 May, 2000 (26.05.00)Date of mailing of the international search report
13 June, 2000 (13.06.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

PCT

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 999429	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO0/01725	国際出願日 (日.月.年) 21.03.00	優先日 (日.月.年) 23.03.99
出願人(氏名又は名称) 三洋電機株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04N7/24-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS(JICSTファイル)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP, 602642, A2 (NEC CORPORATION), 22.6月.1994 (22.06.94) 全文, 第1-5図 & JP, 6-189298, A	1-11
A	JP, 7-298264, A (株式会社グラフィックス・コミュニケーション ・ラボラトリーズ) 10.11月.1995 (10.11.95) 全文, 第1-16図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26.05.00

国際調査報告の発送日

13.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

梅本 達雄

5P

2948

電話番号 03-3581-1101 内線 3581

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 8-186826, A(株式会社グラフィックス・コミュニケーション ・ラボラトリーズ) 16.7月.1996(16.07.96) 全文, 第1-11図 (ファミリーなし)	1-11
A	JP, 11-55668, A(日本電気株式会社) 26.2月.1999(26.02.99) 全文, 第1-12図 (ファミリーなし)	1-11